(11)特許出願公開番号

(12)公開特許公報(A)

(19) 日本国特許庁(JP)

特開2019-129226

(P2019-129226A)

(43) 公開日 令和1年8月1日(2019.8.1)

(51) Int.Cl.			FΙ		テーマコード(参考)
HO1L	33/32	(2010.01)	HO1L	33/32	5 F 1 4 2
HO1L	33/20	(2010.01)	HO1L	33/20	5 F 2 4 1
H01L	33/48	(2010.01)	HO1L	33/48	

審査請求 未請求 請求項の数 12 OL (全 22 頁)

(21) 出願番号 (22) 出願日	特願2018-9878 (P2018-9878) 平成30年1月24日 (2018.1.24)	(71) 出願人	000005049 シャープ株式会社 大阪府堺市堺区匠町1番地				
		(74)代理人	110000338				
			特許業務法人H	HARA	ΚΕΝ	ΖO	WO R
			LD PATE	ΞNΤ	& T	RAD	$\mathrm{E}\mathrm{M}\mathrm{A}$
			RК				
		(72)発明者	井口 勝次				
			大阪府堺市堺[会社内	区町1	番地	シャー	プ株式
		F ターム (参	考) 5F142 AA04	AA56	AA82	CB12	CB23
			DB24	FA32	FA46	FA48	GA02
			5F241 AA03	AA42	AA47	CA04	CA05
			CA13	CA22	CA65	CA74	CA75
			CA77	CA88	CA92	CB11	CB15
			CB25	CB36	FF06		

(54) 【発明の名称】マイクロLED素子、画像表示素子、及び画像表示素子の製造方法

(57)【要約】 (修正有)

【課題】マイクロLED素子のサイズを微細化した場合 であっても、発光効率の低下を抑制可能なマイクロLE D素子を提供する。

【解決手段】マイクロLED素子(100)は、N側層 (11)と発光層(12)とP側層(13)を含む窒化 物半導体層(14)を備えており、発光層(12)を囲 い、かつ発光層となす角度()が45度を含む所定の 範囲内の角度で傾斜する傾斜面16Aと、P側層の表面 によって構成する平坦部16Tとを有する、マイクロメ 図 サ16を複数有する。

【選択図】図1



(2)

【特許請求の範囲】 【請求項1】

光 出 射 面 の 側 か ら 見 て N 側 層 、 発 光 層 、 及 び P 側 層 が こ の 順 番 で 積 層 さ れ た 窒 化 物 半 導 体層と、

前記 P 側 層 側 に 配置 さ れ た 第 1 の 電 極 と、

前記N側層側に配置された第2の電極と、 前記窒化物半導体層の前記P側層側の表面に形成された複数のマイクロメサとを備え、 前記複数のマイクロメサの各々は、前記P側層の平坦面を有すると共に、前記発光層 を傾斜面によって囲っており、前記傾斜面は、前記P側層から、前記N側層の一部まで続 10 く面であって、前記発光層に対して、45度を含む所定の範囲内の角度で傾斜している ことを特徴とするマイクロLED素子。 【請求項2】 前記所定の範囲は45度±10度である ことを特徴とする請求項1に記載のマイクロLED素子。 【請求項3】 前記マイクロメサ毎の前記発光層は、前記傾斜面によって、全周を囲われている ことを特徴とする請求項1または2に記載のマイクロLED素子。 【請求項4】 前記P側層の側から平面視した場合、前記マイクロLED素子は、前記平坦面の一部が 20 欠落したマイクロメサを含む ことを特徴とする請求項1~3の何れか1項に記載のマイクロLED素子。 【請求項5】 前記発光層から前記傾斜面の底部までの垂直方向の距離は、平面視における前記発光層 の径の3倍以下である ことを特徴とする請求項1~4の何れか1項に記載のマイクロLED素子。 【請求項6】 前記マイクロLED素子の外形をなす側壁と光射出面とがなすテーパー角度は、70度 から90度である ことを特徴とする請求項1~5の何れか1項に記載のマイクロLED素子。 30 【請求項7】 前記P側層の側から平面視した場合、前記マイクロメサは周期的に配置されている ことを特徴とする請求項1~6の何れか1項に記載のマイクロLED素子。 【請求項8】 前記 P 側層の側から平面視した場合、前記マイクロLED素子は矩形形状を有し、前記 マイクロメサは、前記矩形の一辺に対して、ほぼ平行な行列パターンで配置されており、 前記矩形の一辺の長さは、前記マイクロメサの対応する辺方向の周期の整数倍とは異なる ことを特徴とする請求項7に記載のマイクロLED素子。 【請求項9】 前記矩形の一辺の長さは、前記マイクロメサの対応する辺方向の周期の整数倍と1/2 40 周期異なる ことを特徴とする請求項8に記載のマイクロLED素子。 【請求項10】 マイクロLED素子の配置ピッチは、前記マイクロメサの配置パターンの、対応する方

向の周期の整数倍である

ことを特徴とする前記請求項1~9の何れか1項に記載のマイクロLED素子。

【請求項11】

請求項1~10の何れか1項に記載の複数のマイクロLED素子と、

前記複数のマイクロLED素子の各々に駆動電流を供給する駆動回路が形成された駆動 回路基板と、備え、

前記複数のマイクロLED素子は、前記駆動回路基板上に2次元アレイ状に積層され

JP 2019-129226 A 2019.8.1

成長基板上にN側層、発光層、及びP側層をこの順番で積層することによって窒化物半 導体層を得る工程と、

前記窒化物半導体層の前記 P 側層、前記発光層、及び前記 N 側層の一部をエッチングす ることにより傾斜面を形成することで、前記 P 側層からなる平坦面と前記傾斜面とを含む マイクロメサを形成する工程と、

前記 P 側層上に第1の電極を設ける工程と、

前記窒化物半導体層を駆動回路基板に貼り合わせる工程と、

前記成長基板を除去する工程と、

ことを特徴とする画像表示素子。

画像表示素子の製造方法であって、

前記駆動回路基板上において、前記窒化物半導体層をエッチングし、マイクロLED素子毎に分割する工程と、

前記窒化物半導体層の、駆動回路基板と反対側の面に第2の電極を形成する工程とを含み、

前記マイクロメサを形成する工程は前記貼り合わせ工程の前に実施される

ことを特徴とする画像表示素子の製造方法。

【発明の詳細な説明】

【技術分野】

ている

【請求項12】

[0001]

本発明は、マイクロLED素子、マイクロLED素子を複数備えた画像表示素子、及び 画像表示素子の製造方法に関する。

【背景技術】

[0002]

平面ディスプレイ分野では、大型から中小型までディスプレイのサイズを問わずに、表示素子として液晶表示素子、有機 E L ディスプレイが用いられている。また、平面ディスプレイとして、化合物半導体製の L E D 素子を表示素子として採用した L E D ディスプレイが提案されている(特許文献1及び2参照)。

【0003】

上記のようなLED素子は、マイクロLED素子と呼ばれている。現在では、マイクロ LED素子の微細化が進められており、例えば、7µm程度の大きさのマイクロLED素 子が発表されている(非特許文献1参照)。

[0004]

マイクロLED素子は通常のLEDと同様に、成長基板上に形成された後、個片化され、駆動回路基板上に搭載される場合が多い(ピック&プレース法)。研究開発レベルでは、成長基板上にLEDとなるエピ層を成長させた後に、駆動回路基板と貼り合わせ、駆動回路基板上に個々のLEDを形成する製造方法も提案されている(非特許文献2参照)。 【先行技術文献】

【特許文献】

[0005]

【特許文献1】特開2009-272591号公報(2009年11月19日公開) 【特許文献2】特表2016-503958号公報(2016年2月8日公開)

【非特許文献】

[0006]

【非特許文献 1】Francois Olivier, Anis Daami, Ludovic Dupre, Franck Henry, Berna rd Aventurier, Francois Templier, "Investigation and Improvement of 10µm Pixelpitch GaN-based Micro-LED Arrays with Very High Brightness", SID 2017 DIGEST, P3 53, 2017

【非特許文献 2】Francois Templier, Lamine Benaissa, Bernard Aventurier, Christin 50

40

10

e Di Nardo, Matthew Charles, Anis Daami, Franck Henry, Ludovic Dupre、"A Novel Process for Fabricating High-Resolution and Very Small Pixel-pitch GaN LED Micro displays"、SID 2017 DIGEST, P268, 2017

【発明の概要】

【発明が解決しようとする課題】

[0007]

しかしながら、上述の特許文献1、2及び非特許文献1、2に記載されたマイクロLE D素子は、そのサイズを微細化した場合、発光効率が低下してしまう課題がある。 【0008】

本発明は、上記の課題に鑑みてなされたものであり、その目的は、マイクロLED素子 ¹ のサイズを微細化した場合であっても、発光効率の低下を抑制可能なマイクロLED素子 、画像表示素子、及び画像表示素子の製造方法を提供することである。

【課題を解決するための手段】

【0009】

上記の課題を解決するために、本発明の一態様に係るマイクロLED素子は、光出射面 の側から見てN側層、発光層、及びP側層がこの順番で積層された窒化物半導体層と、前 記P側層側に配置された第1の電極と、前記N側層側に配置された第2の電極と、前記窒 化物半導体層の前記P側層側の表面に形成された複数のマイクロメサとを備え、前記複数 のマイクロメサの各々は、前記P側層の平坦面を有すると共に、前記発光層を傾斜面によ って囲っており、前記傾斜面は、前記P側層から、前記N側層の一部まで続く面であって 、前記発光層に対して、45度を含む所定の範囲内の角度で傾斜している。

[0010]

上記の課題を解決するために、本発明の一態様に係る画像表示素子の製造方法は、成長 基板上にN側層、発光層、及びP側層をこの順番で積層することによって窒化物半導体層 を得る工程と、前記窒化物半導体層の前記P側層、前記発光層、及び前記N側層の一部を エッチングすることにより傾斜面を形成することで、前記P側層からなる平坦面と前記傾 斜面とを含むマイクロメサを形成する工程と、前記P側層上に第1の電極を設ける工程と 、前記窒化物半導体層を駆動回路基板に貼り合わせる工程と、前記成長基板を除去する工 程と、前記駆動回路基板上において、前記窒化物半導体層をエッチングし、マイクロLE D素子毎に分割する工程と、前記窒化物半導体層の、駆動回路基板と反対側の面に第2の 電極を形成する工程とを含み、前記マイクロメサを形成する工程は前記貼り合わせ工程の 前に実施される。

30

【発明の効果】

本発明の一態様によれば、マイクロLED素子のサイズを微細化した場合であっても、 発光効率の低下を抑制可能なマイクロLED素子、画像表示素子、及び画像表示素子の製 造方法を提供することができる。

【図面の簡単な説明】

【図1】図1の(a)は、本発明の第1の実施形態に係るマイクロLED素子を複数備え 40 た画像表示素子の断面図であり、(b)はマイクロLED素子のP側層側の表面の拡大断 面図であり、(c)はマイクロLED素子のP側層側の面から見た場合の平面図である。 【図2】図2の(a)~(f)は、図1に示したマイクロLED素子の製造工程のうち、 マイクロメサの形成工程の各ステップの断面図である。

【図3】図3の(a)~(h)は、図1に示す画像表示素子の製造方法の各ステップにお けるマイクロLED素子及び画像表示素子の断面図である。

【図4】第1の実施形態の変形例に係るマイクロLED素子の、マイクロメサの形成工程の各ステップを断面図である。

【図5】図5の(a)、(c)、(e)は、本発明の第2の実施形態に係るマイクロLE D素子の、マイクロメサの平面形状をしめす平面図であり、(b)と(d)はそれぞれ、

(4)

10

(a)と(c)の傾斜面について説明する断面図である。 【図6】図6の(a)~(c)は、本発明の第2の実施形態に係るマイクロLED素子の 、マイクロメサの平面形状をしめす他の平面図である。 【図7】図7の(a)~(c)は、本発明の第3の実施形態に係るマイクロLED素子の 配置パターンとマイクロメサの配置パターンの関係を説明するための平面図である。 【図8】図8の(a)、(b)は、本発明の第3の実施形態に係るマイクロLED素子の 配置パターンとマイクロメサの配置パターンの関係を説明するための他の平面図である。 【図9】図9の(a)は、本発明の第4の実施形態に係るマイクロLED素子を複数備え た画像表示素子の断面図であり、(b)はマイクロLED素子のP側層側の表面の拡大断 面図であり、(c)はマイクロLED素子のP側層側の面から見た場合の平面図である。 【図10】図10の(a)~(f)は、図9に示したマイクロLED素子の製造工程のう ち、マイクロメサの形成工程の各ステップの断面図である。 【図11】図11の(a)~(d)、(g)、(h)は、図9に示す画像表示素子の製造 方法の各ステップにおけるマイクロLED素子及び画像表示素子の断面図である。 【発明を実施するための形態】 [0013](従来の表示素子の構成例とその問題点) 本願発明の一形態について具体的な説明を行う前に、従来の表示素子の構成例とその問 題点について、以下に纏める。 [0014] 従来、表示素子として広く用いられている液晶表示素子はバックライト光を液晶素子に よりON/OFFすることにより各画素の輝度を調整している。 [0015]表示素子として液晶表示素子を用いた液晶ディスプレイは、コントラストを高めること が難しいという課題を有する。なぜなら、バックライト光がOFFとなるように液晶表示 素子を制御した場合であっても、液晶表示素子がバックライト光を完全に遮断することが 難しいためである。 [0016]また、液晶ディスプレイは、演色性を高めることが難しいという課題を有する。なぜな ら、各原色を表現するために用いる複数のカラーフィルター(例えばRGBの3色)は、 その透過帯以外の光を完全に遮断することが難しく、結果として、各カラーフィルターの 透過帯を完全に分離することが出来ないためである。 一方で、表示素子として有機EL素子を採用した有機ELディスプレイが実用化されて いる。有機EL素子は、自発光素子であり、且つ、R,G,Bの各単色発光素子である。 したがって、有機ELディスプレイは、前述の液晶ディスプレイのコントラストと演色性 と言う課題を解決することが出来ると期待されており、実際にスマートフォン用の小型の 平面ディスプレイ分野においては実用化されている。 [0018]

(5)

しかし、有機ELディスプレイは、有機EL素子の輝度が経時劣化しやすいという課題 を有する。なぜなら、有機EL素子の発光層が有機物により構成されているためである。 そのため、有機ELディスプレイは、比較的製品寿命が短い(換言すれば買い換え周期が 短い)スマートフォンには採用されているが、製品寿命が長い(換言すれば買い換え周期 が長い)製品(例えばテレビなど)へ採用することは難しい。また、有機ELディスプレ イを製品寿命が長い製品に採用する場合には、輝度の経時劣化を補償するための複雑な回 路が必要となる。

【0019】

以上のような、液晶ディスプレイ及び有機ELディスプレイの課題を解消する平面ディ スプレイとして、化合物半導体製のLED素子を表示素子として採用したLEDディスプ レイが提案されている。LEDディスプレイは、化合物半導体製のLED素子を2次元ア

10

20

30

レイ状に配置することによって構成されており、コントラストが高く、演色性が優れ、且 つ、輝度が経時劣化しにくい。

[0020]

特に有機EL素子に比べて、LED素子は、発光効率が高く、且つ、長期信頼性が高い (輝度の経時劣化などが少ない)。したがって、LEDディスプレイは、屋外でも見やす い高輝度ディスプレイを実現できる。超大型の平面ディスプレイ分野に関しては、デジタ ルサイネージ用としてLEDディスプレイの実用化が始まっている。また、ウエアラブル 端末やTV用など中小型から大型の平面ディスプレイ分野に関しても、LEDディスプレ イの開発が進んでいる。

しかしながら、従来のマイクロLED素子は下記の課題を有する。

 $\begin{bmatrix} 0 & 0 & 2 & 2 \end{bmatrix}$

マイクロLED素子の微細化を進める場合に、マイクロLED素子は、外部量子効率(発光パワーの投入電力に対する比率)が非常に小さくなる。具体的には、そのサイズが1 0 µ m を下回るマイクロLED素子において、その外部量子効率は、11%を下回る。そ れに対して、通常のサイズ(例えば100μm以上1000μm以下)のLED素子の外 部 量 子 効 率 は 、 3 0 % ~ 6 0 % 程 度 で あ る 。 こ の よ う に 、 サ イ ズ が 1 0 µ m を 下 回 る マ イ クロLED素子は、通常のサイズのLED素子と比較して、明らかに外部量子効率が低い 。マイクロLEDディスプレイは、発光効率の高さを期待されている。そのため、マイク ロLED ディスプレイにとって、外部量子効率が低い事は、極めて深刻な問題である。 $\begin{bmatrix} 0 & 0 & 2 & 3 \end{bmatrix}$

〔第1の実施形態〕

以下に、本発明の第1の実施形態に係るマイクロLED素子100を光源として搭載す る画像表示素子200について、図1~図3を参照して説明する。 【0024】

図 1 の (a) は、マイクロLED素子 1 0 0 を複数備えた画像表示素子 2 0 0 の断面図 である。本発明のマイクロLED素子100の表面には、光取出し効率向上のため、多数 のマイクロメサ構造が形成されている。図1の(b)は、マイクロメサ構造を説明するた めの、マイクロLED素子100の断面拡大図である。図1の(c)はマイクロメサ構造 の表面構造を示す平面模式図である。図1に示すように、画像表示素子200は、複数の マイクロLED素子100と、複数のマイクロLED素子100の各々に駆動電流を供給 する駆動回路が形成された駆動回路基板50と、備え、複数のマイクロLED素子100 は、駆動回路基板50上に2次元アレイ状に積層されている。

図2は、マイクロLED素子100の製造工程のうち、マイクロメサ構造の製造工程を 示す図である。図3は、マイクロLED素子100及び、画像表示素子200の製造工程 を示す図である。

[0026]

(マイクロLED素子100の構造)

40 図1の(a)に示すように、画像表示素子200は、画素領域1と、共通接続領域2と 、ダミー領域3と、外周部4を含む。画素領域1には、各画素を構成するマイクロLED |素子100が配列されており、マイクロLED素子100は、窒化物半導体層14と、 P 電極19P(第1の電極)と、共通N電極34(第2の電極)とを備えており、光出射面 側 に 共 通 N 電 極 3 4 、 駆 動 回 路 基 板 5 0 側 に P 電 極 1 9 P を 配 置 し て い る 。 窒 化 物 半 導 体 層14のP電極19P側には、マイクロメサ構造が形成されている。P電極19Pは駆動 回路基板50上のP側電極51に接続され、共通N電極34は共通接続領域2において、 プラグ 3 2 を介して、駆動回 路基板 5 0 上の N 側 電極 5 2 に接続されており、マイクロ L E D 素子100はそれぞれ対応する P 側電極51から電流を供給され、発光する。光射出 方向は駆動回路基板50と反対の方向であり、共通N電極34側である。 50 【0027】



外周部4は画像表示素子200の外縁を規定し、画像表示素子200を個片に切り離す ための切断領域や、ワイヤーボンドパッド等の外部回路との接続部を含む。外周部4では 、 窒化物 半 導 体 層 1 4 は 除 去 さ れ て い る 。 ダ ミ ー 領 域 3 は 、 画 像 表 示 素 子 2 0 0 の 画 素 領 域 1、 共通 接続領域 2、 外周部 4 以外の領域であり、この領域には窒化物半導体層 1 4 が 配置されているが、発光せず、表面の平坦性を確保するために配置されている。駆動回路 基板50の画素領域1には、各画素の駆動回路が配置され、主にダミー領域3には、行選 択回路、列信号出力回路、画像処理回路、入出力回路、等が配置されている。駆動回路基 板50上のダミー電極53は窒化物半導体層14を固定すると共に、これらの回路を遮光 するために配置されている。

マイクロ L E D 素子 1 0 0 は画素分離溝 1 5 によって、 個別に分割されており、 画素分 離溝15は埋込材20によって、埋められている。

[0029]

次に、マイクロLED素子100の一方の面に形成されたマイクロメサ16について、 図1の(b)と図1の(c)に基づいて説明する。図1の(c)は光射出面とは反対側の 表面の平面図であり、図1の(b)は図1の(c)のA-A'部分の断面図である。図1 の(b)に示すように、窒化物半導体層14は、光射出面側から順に、N側層11と、発 光 層 1 2 と、 P 側 層 1 3 とによって構成され、 P 側 層 1 3 側の表面は複数のマイクロメサ 16に加工されている。図1の(c)に示すように、本実施形態では、マイクロメサ16 は、P側層13側に円形の平坦面16Tを有し、P側層13と発光層12とN側層11の 一部を含む傾斜面16Aを有する円錐台の形状をしている。従って、本発明のマイクロL E D 素子100では、発光層12が傾斜面16Aで囲われ、互いに分離された多数の領域 に分割されている。また、図1の(b)に示すように、各マイクロメサ16における発光 層12は、傾斜面16Aによって、全周を囲われている。 [0030]

マイクロメサ16の表面は保護膜17に覆われ、平坦面16TにはP側コンタクトホー ル18が開口され、P側電極層19が形成されている。P側電極層19の表面は、平坦化 保護膜21によって覆われ、平坦化されていても良い。

[0031]

30 マイクロLED素子100の発光層12側にマイクロメサ16を形成する理由は、光取 出し効率を向上するためである。まず、マイクロLED素子100がマイクロメサを持た ず、その形状は直方体として考える。マイクロLED素子は平坦な窒化物半導体層14を ドライエッチングによって加工して形成するため、その側壁は窒化物半導体層14に対し てほぼ垂直であるため、マイクロメサを有しない場合として、前記仮定はほぼ現実的であ る。発光層12からは等方的に光が放出されるが、射出面(この場合N側層11の表面) の全反射によって、射出面に垂直な方向を中心とした臨界角 以内に放出された光(以降 、垂直光と呼ぶ)しか、直方体形状のLED素子からは射出されない。それ以外の光は、 直方体の中で反射を繰り返し、外部には射出されない。GaN層(屈折率:2.5)から 屈折率が1.5の樹脂層に射出する場合、 = 37度程度であり、P側層方向に放出され 、 P 側 層 1 3 表 面 で 反 射 さ れ て 、 N 層 側 か ら 出 射 さ れ る 分 を 、 反 射 ロ ス が 無 い と し て 含 め ても、全体の20%程度の光しか、取り出すことができない。尚、N側層11の上に、共 通 N 電極34が有っても、その外側に樹脂層が有れば、事情は変わらない。外側が空気の 場合、臨界角は更に小さくなる。

【0032】

発光層12に対する角度が± 以内に射出される光(以降、水平光と呼ぶ)は、発光層 12の発光量全体に対して、sin 程度で比率を占める。 = 3 7 度の場合には、 6 0 <u>% 程度と大きな比率を占める。発光層12が発光層12と垂直に交わる側面で囲われた場</u> 合には、上述のように水平光を窒化物半導体層14の外に取り出すことができない。一方 、傾斜面16Aで発光層12を囲うことにより水平光の向きを変え、射出面から外部に取 り出すことができ、取出し効率を大幅に改善することができる。

50

【 0 0 3 3 】

傾斜面16Aが発光層12と成す面と交わる角度を とすると、 は45度を含む所定 の範囲内の角度であることが好ましいが、 =45度の場合には、 = の水平光が出射 面から外部へ放射することができ、最も取り出し効率が高い。従って、 =45度が最も 好ましい。

【0034】

以上のように、マイクロLED素子100は、光出射面の側から見てN側層11、発光 層12、及びP側層19がこの順番で積層された窒化物半導体層14と、P側層19側に 配置された第1の電極19Pと、N側層11側に配置された第2の電極34と、窒化物半 導体層14のP側層19側の表面に形成された複数のマイクロメサ16とを備え、複数の マイクロメサ16の各々は、P側層19の平坦面16Tを有すると共に、発光層12を傾 斜面16Aによって囲っており、傾斜面16Aは、P側層19から、N側層11の一部ま で続く面であって、発光層12に対して、45度を含む所定の範囲内の角度で傾斜してい る。

[0035]

ただし、後述するように傾斜面16Aは、窒化物半導体層14の一部をエッチング(図 2の(b)参照)することにより形成される。実際に製造されたマイクロLED素子10 0における角度 は、このエッチングの精度に依存し、ある程度の範囲内に変動する。エ ッチング手法としてドライエッチングを採用した場合、エッチングの精度に起因する角度 の変動範囲は、±10度程度であるとよい。したがって、実際に製造されたマイクロL ED素子100における角度 は、所定の角度である45度に限定されず、45度を中心 とする所定の角度、すなわち、45度±10度の範囲に含まれていれば良い。なお、上述 した角度 の変動範囲は、後述するエッチング工程において採用するエッチング手法に依 存して変化し得る。

【 0 0 3 6 】

発光層12から傾斜面16Aの底部までの垂直方向の距離をDとすると、Dは大きい方が取出し効率が高い。発光層12が傾斜面16Aと交わる部分の直径を とすると、D = sin / (cos - sin)・ であれば最も光取出し効率が最も高い。この条件が満たされれば、発光層12から発した水平光は全て、取り出すことができるからである。 = 37度の場合、D = 3.06・ となり、Dの上限は、平面視した発光層12の径の約3倍程度である。一方、Dが大きくなると、 = 90度の場合に比べて、発光層12のの面積は、{ / (+ 2・D)}²に減少し、発光層12を流れる電流密度が高くなり、ドループ効果によって、内部量子効率が低下する。従って、実際のD値は、取出し効率の向上と発光層面積の減少によるドループ効果のトレードオフで最適値が決定される。

次に、1個のマイクロLED素子100に対して、小さなマイクロメサ16を多数設け る理由を説明する。光取出し効率を向上させるために、マイクロLED素子100の外周 にマイクロメサを形成することも可能であるが、これには次の2点の問題点が有ることが 判明した。第1に、上述のように、取出し効率を最大限高めようとすれば、残される発光 層12の径 に比べて、Dの値を大きくしなければならない。しかし、Dの値には、N側 層11の厚さと言う上限が有り、マイクロLED素子100の大きさが大きい場合には、 光取出し効率を十分に上げることができない。マイクロメサ16を形成することで、比較 的小さなDの傾斜面16Aによって、光取出し効率を向上できる。 【0038】

第2に、マイクロLED素子100の外周に、傾斜面を設ける場合には、傾斜面を形成 した段階で、マイクロLED素子100の外形が決定されているために、窒化物半導体層 14を駆動回路基板50に貼り合わせる段階で、マイクロLED素子100をP側電極5 1に対して、精緻にアライメントする必要が有る。しかし、窒化物半導体層14の表面に 、多数のマイクロメサ16が形成されており、窒化物半導体層14の貼り合わせの後に、 マイクロLED素子100として加工される場合には、このようなアライメントは必要無 10

20

30

い。マイクロメサ16を予め窒化物半導体層14の表面に形成して置くことにより精緻な アライメントを必要としないウエハ / ウエハ貼り合わせによって、駆動回路基板50と窒 化物半導体層14を貼り合わせることができ、生産性を大幅に高めることができる。更に 、画像表示素子200の全工程をウエハプロセス(前半工程)によって実行できるため、 分割した窒化物半導体層をダイボンディング装置によって駆動回路基板に搭載する場合(後半工程)に比べて、ダストを低減して歩留りを向上することができる。これによって、 画像表示素子200のコストを大幅に低減することができる。

【0039】

(マイクロLED素子100の製造方法)

次に、マイクロLED素子100の製造方法の一例である製造方法について、図2及び ¹⁰ 図3を参照して説明する。

[0040]

図2の(a)に示すように、成長基板10上にN側層11、発光層12、及びP側層1 3をこの順番で積層することによって窒化物半導体層14を形成する(工程1)。成長基 板10としては、例えば、(111)面シリコン基板を用いることができる。特に駆動回 路基板50と同じ大きさであることが好ましい。サファイア(A1₂O₃)やSiC等であ っても良い。また、窒化物半導体層14を構成する物質としては、例えばGaN系の半導 体等を用いることができる。また、窒化物半導体層14を成長基板10上に成長させる装 置としては、例えばMOCVD装置を用いることができる。なお、成長基板10は、表面 に凹凸構造を有していても良い。N側層11は、層厚方向に導通する必要が有るため、内 部に高抵抗層を含まないことが好ましく、層厚方向全体を通してN型の良導体であること が好ましい。また、成長基板10に窒化物半導体層14を形成し、室温に戻した段階で、 成長基板10の反りが小さいことが好ましく、8インチウエハの場合には35µm以下で あることが好ましい。このような反りの低減は、N側層11内に適切なバッファ層を設け ることにより実現できる。

【0041】

発光層12は、InGaN層やGaN層からなる多重量子井戸層を含む。N側層11及 びP側層13は、それぞれ種々の多層構造により構成される。本実施形態において、N側 層11、発光層12、及びP側層13の具体的な構成は、特に限定されるものではなく、 例えば、従来のLED素子が採用しているN側層、発光層、及びP側層の構成を適宜採用 することができる。したがって、本実施形態では、N側層11、発光層12、及びP側層 13の具体的な構成に関する説明を省略する。

 $\begin{bmatrix} 0 & 0 & 4 & 2 \end{bmatrix}$

なお、 N 側 層 1 1 の厚さ t_nは、一般的に 1 0 μ m 以下であり、 5 μ m ± 2 μ m 程度で ある場合が多い。発光層 1 2 の厚さ t_{mqw}は、一般的に 1 0 n m 以上 2 0 0 n m 以下であ り、 5 0 n m 以上 1 0 0 n m 以下程度である場合が多い。 P 側層 1 3 の厚さ t_pは、一般 的に 5 0 n m 以上 1 0 0 0 n m 以下であり、 1 0 0 n m 以上 3 0 0 n m 以下程度である場 合が多い。

[0043]

図2の(b)に示すように、窒化物半導体層14の一部をエッチングすることによりマ 40 イクロメサ16を形成する(工程2)。マイクロメサ16の傾斜面16Aと発光層12の なす面が交わる角度 が、所定の範囲内の角度である45度となるように形成する。マイ クロメサ16を形成するために、まず、通常のフォトリソグラフィ工程を用いて、マイク ロメサ平坦面16Tを覆うレジストパターンを形成する。その後、ドライエッチング装置 を用いて、P側層13と、発光層12と、N側層11の一部とをエッチングする。 【0044】

次いで、図 2 の(c)に示すように、保護膜 1 7 を積層する。保護膜 1 7 は、例えば、 S i O₂(二酸化ケイ素)を C V D 法により形成する。

[0045]

更に、図 2 の(d)に示すように、マイクロメサ平坦面 1 6 T の保護膜 1 7 を除去して ⁵⁰

、 P 側 コンタクトホール 1 8 を形成する。これには通常のフォトリソグラフィ法とウエッ ト又はドライエッチング法を用いて、形成することができる。 【 0 0 4 6 】

(10)

図2の(e)に示すように、P側電極層19を全面に形成する。後述するように、画素 領域1でのP電極層19は、マイクロLED素子100のP側層13と接続するP電極1 9Pとなる(後述図3の(c)も参照)(工程3)。この段階では、P側電極層19は成 長基板10であるウエハ全面に形成され、パターンニングされていない。P側電極層19 としては、窒化物半導体層14に接して界面反射率が高い金属薄膜、例えばアルミニュウ ムまたは銀などの薄膜をP側層側に配置し、表面側には、駆動回路基板50上のP側電極 51との接続に適した金や銅を配置した金属多層膜が適している。P側電極層19はIT O(インジュウム・錫・酸化物)の様な透明導電膜と金属膜の積層膜でも良い。このよう な多層膜は、例えば、電子ビーム蒸着法やスパッタリング法を用いて形成することができ る。

【0047】

図 2 の(f)に示すように、平坦化保護膜 2 1 を形成する。平坦化保護膜 2 1 は、マイ クロメサ傾斜面 1 6 A や底部 1 6 B のような凹部を埋めて、表面を平坦化する保護膜であ る。例えば、 P 側電極層 1 9 の上に、 S i O₂ (二酸化ケイ素)等の保護膜を積層し、表 面を C M P によって平坦化し、マイクロメサ平坦面 1 6 T 上の P 側電極層 1 9 を露出させ るようにすることにより形成できる。平坦化保護膜 2 1 は省略することも出来る。 【0048】

以上の工程によって、成長基板10上に形成された窒化物半導体層14の表面全面に、 マイクロメサ16が形成される。

【0049】

続いて、図3を用いて、マイクロLED素子100及び画像表示素子200の製造工程 を説明する。

[0050]

駆動回路基板50は画像表示素子200の駆動回路が形成されており、各マイクロLE D素子100を駆動する画素駆動回路、2次元アレイに配置された画素のうち、特定の行 を選択する行選択回路、特定の列の発光強度信号を出力する列信号出力回路、画像処理回 路等を含んでいる。駆動回路基板50の表面には、画素領域1内では、各マイクロLED 素子100に電流を供給するP側電極51、共通接続領域2には、N側電極52、ダミー 領域3にはダミー電極53、外周部4には外部接続電極54が露出している。図3は1個 の画像表示素子200の断面模式図を示しているが、実際の工程は複数の画像表示素子2 00を配置した基板状態で行われる。例えば、駆動回路基板50は8インチシリコン基板 であり、画像表示素子200の駆動回路が数百個配置されている。 【0051】

まず、図3の(a)に示すように、駆動回路基板50上に、図2の工程で形成した窒化 物半導体層14を貼り合わせる(工程4)。窒化物半導体層14の表面には、P電極層1 9が露出しており、駆動回路基板50上のP側電極51、N側電極52、ダミー電極53 、外部接続電極54と接続される。この際、貼り付けは金属電極(例えば銅)同士の直接 接続でも良いし、金属ナノ粒子を接着層として介在させても良い。本貼付け工程では、精 密なアライメントは必要無い。ウエハ同士の貼り合わせの場合、ウエハ同士が重なり合え ば良い。尚、貼り合わせの際の加熱、冷却による膨張・収縮によるストレスを避けるため 、成長基板10と駆動回路基板50は、同材料であることが好ましく、特にシリコンであ ることが好ましい。

[0052]

次に図3の(b)の工程において、成長基板10を除去する(工程5)。シリコン基板の場合、研削、研磨、プラズマエッチング、ウエットエッチング等を組み合わせて、除去することができる。なお、図3に示す工程では、成長基板10が付いた状態で、窒化物半導体層14を駆動回路基板50と貼り合わせたが、一旦、窒化物半導体層14を別の基板

10

30

(転写基板)に転写した後に、駆動回路基板50に貼り合わせ、転写基板を剥離しても良い。

【 0 0 5 3 】

次いで、図3の(c)に示すように、画素分離溝15を形成する。画素分離溝15は、 少なくとも、窒化物半導体層14から、P電極層19までをエッチングして、分割する溝 である(工程6)。画素領域1では、各マイクロLED素子100が、画素分離溝15に よって個別に分割される。画素領域1でのP電極層19は、マイクロLED素子1000の P側層13と接続するP電極19Pとなる(工程3)。各画素領域1と共通接続領域2の 境界や、共通接続領域2とダミー領域3の境界には同時に境界溝15Bが形成される。共 通接続領域2やダミー領域3を、更に境界溝15Bによって、細かく分割しても良い。共 通接続領域2のP電極層19はN側電極52と接続するN電極19Nとなり、ダミー領域 3のP電極層19はダミーP電極19Dとなる。外周部4では窒化物半導体層14やP電 極層19が除去され(露出帯150)、外部接続電極54が露出する。共通接続領域2に は、N側電極52上に、共通電極コンタクトホール15Hが形成される。 【0054】

画素分離溝15の断面形状は、図3の(c)の断面視において、マイクロLED素子100の外形をなす側壁が順テーパーになることが好ましい。後工程の埋込材20形成工程において、画素分離溝15を埋め易くするためである。逆テーパーとなると、気泡が側壁に残り安く、光出力のバラツキを生じ易い。但し、テーパー角度が大きくなると、発光層12の面積が減少するため、テーパー角度は70度から90度の範囲が好ましい。ここで、上記テーパー角度とは、図3(c)に示すように、マイクロLED素子100の外形をなす側壁と前記光射出面とがなす角度のことを指す。

[0055]

本工程以降の工程は駆動回路基板50に対して、処理が行われ、各パターンニングは駆動回路基板50に対して、精密にアライメントされる。なお、本工程は、画素分離溝15 や境界溝15Bの形成工程と、露出帯150と共通電極コンタクトホール15Hの形成工 程は、分けて行っても良い。

【0056】

次いで、図3の(d)に示すように、画素分離溝15を埋込材20によって埋め込み、 窒化物半導体層14は露出させる。同時に、境界溝15B、共通電極コンタクトホール1 5Hや露出帯150も埋込材20によって埋められる。埋込材20は、後工程で共通N電 極を形成するために、表面を平坦化することを第1の目的とする層であり、樹脂材でもC VD膜でも、両者の組合せでも良い。隣接画素への光の漏出を防ぐために、光を吸収する 顔料やカーボンブラックなどを加えた樹脂でも良い。逆に反射を強化し、マイクロLED 素子100の光出力を向上させるために、反射材となる白色顔料や、散乱粒子を加えた樹 脂であっても良い。

【 0 0 5 7 】

次いで、図3の(e)に示すように、共通電極コンタクトホール15H部の埋込材20 を除去し、図3の(f)に示すように、共通電極コンタクトホール15Hをプラグ32で 埋める。プラグ32はタングステン等の材料であっても良い。更に、図3の(g)に示す ように、窒化物半導体層14の、駆動回路基板50と反対側の面に共通N電極34を形成 する(工程7)。共通N電極34はITO等の透明導電膜を採用してもよいし、窒化物半 導体層14の大部分に開口部を有し、画素分離溝15上に金属薄膜パターンを配置した金 属製のメッシュ状電極を採用してもよいし、両者を組み合わせてもよい。共通N電極34 はマイクロLED素子100のN側層11と接続し、共通接続領域において、プラグ32 を介して、N側電極52へ接続する。

【0058】

以上のように、画像表示素子の製造方法は、成長基板10上にN側層11、発光層12 、及びP側層13をこの順番で積層することによって窒化物半導体層14を得る工程(上 記工程1)と、窒化物半導体層14のP側層13、発光層12、及びN側層11の一部を

エッチングすることにより傾斜面16Aを形成することで、 P 側層13からなる平坦面1 6 T と傾斜面16Aを含むマイクロメサ16を形成する工程(上記工程2)と、 P 側層1 3 上に第1の電極19Pを設ける工程(上記工程3)と、 窒化物半導体層14を駆動回路 基板50に貼り合わせる工程(上記工程4)と、成長基板10を除去する工程(上記工程 5)と、駆動回路基板50上において、窒化物半導体層14をエッチングし、マイクロL E D 素子100毎に分割する工程(上記工程6)と、窒化物半導体層14の、駆動回路基 板50と反対側の面に第2の電極34を形成する工程(上記工程7)とを含み、マイクロ メサを形成する工程(上記工程2)は貼り合わせ工程(上記工程4)の前に実施される。 【0059】

最後に、外周部4の埋込材20が除去され、外部接続電極54が表面に出す。なお、N 型共通N電極34を形成後、マイクロLED素子100上に、波長変換層を形成しても良 い。波長変換層を形成する際には、画像表示素子200の表面は、図3の(g)のように 、全面が平坦であることが好ましい。波長変換層は樹脂層を塗布する場合が多いため、平 坦で無いと、塗布時にストリエーション等の不均一性が生じる、均一な波長変換層が形成 できないと言う問題が生じる。ダミー領域3に窒化物半導体層14が無い場合には、窒化 物半導体層14の厚さである数μmの高さの段差が生じるため、このような平坦性が確保 されず、大きな問題となる。従って、ダミー領域3の窒化物半導体層14は必要であり、 それを固定するためのダミー電極53も必要である。

[0060]

駆動回路基板 50 上に形成された、画像表示素子 200 は、最終的に個別に切断され、 20 パッケージングされる。

【0061】

本製造工程では、窒化物半導体層14の駆動回路基板50への貼り合わせが、精密なア ライメント無しで行うことができるため、貼り合わせ工程の設備が簡略化でき、且つ、短 時間で貼り合わせが出来るため、非常に高い生産効率を実現できる。また、貼り合わせを ウエハレベルで実行できるため、全ての工程をクリーン度の高い前半工程で実行すること ができる。その結果、ダスト発生を防止し、高い歩留りを実現できる。従って、画像表示 素子200のコストを低減することができる。

[0062]

(マイクロLED素子100の特性)

本実施例のマイクロLED素子100は、図1に示したマイクロLED素子100において、以下の構成を採用したものである。

・平面視した場合の輪郭:一片の長さが8.5µmの正方形(画素分離溝15幅は1.5µm、マイクロLED素子100の配置ピッチは10µm)

- ・マイクロメサ:一辺が2µmの正三角形の各頂点にマイクロメサの中心を配置
- t_n = 1 0 0 n m
- $t_{mqw} = 70 nm$
- t_n = 5 0 0 0 n m
- ・ = 4 5 度
- D = 5 0 0 n m
- = 1 µ m

また、本実施例のマイクロメサ構造を設けずに形成したマイクロLED素子を、比較例 として用いた。

【0063】

それぞれに同一の駆動電流を供給した状態において、本実施例のマイクロLED素子1 00及び第1の比較例のマイクロLED素子の光出力を測定した。その結果、本実施例の マイクロLED素子100の光出力は、比較例のマイクロLED素子の光出力に対して1 90%であった。

[0064]

この光出力の顕著な増加はマイクロメサ16によってもたらされたと、本願の発明者は 50

40

30

推測している。マイクロメサ傾斜面16Aを設け、その傾斜面16Aの外側を透明な低屈 折率材料からなる保護膜17で覆ったことにより、発光層12から放射される水平光が、 出射面方向へ全反射される。そして、この反射光は、N側層11の光出射面に対してほぼ 垂直に入射し、外部に射出される。

【0065】

このような光は、マイクロメサ傾斜面16Aが無ければ、発光層12から水平方向に射 出されて、窒化物半導体層14の中において反射を繰り返す過程において減衰する。すな わち、このような光は、外部には射出されない。

[0066]

マイクロLED素子100においては、マイクロメサ16の形成によって、発光層12 の面積は、マイクロLED素子100の面積と比較して、縮小されている。本実施例では 、マイクロLED素子100の面積に対する発光層12の面積の割合は、平均的に ・6 00² /(1 / 2 ・2 0 0 0 ² ・ 3)=0.326となり、約33%程度となる。従っ て、発光層12に注入される電流密度は3倍程度と大きくなっているはずである。 【0067】

外部量子効率の電流依存性のデータを用いて、内部量子効率と光取出し効率とを分離し、内部量子効率を評価した。その結果、本実施例のマイクロLED素子100の内部量子効率、及び、第1の比較例のマイクロLED素子の内部量子効率は、それぞれ、66%と70%であり、マイクロメサ16の形成によって、内部量子効率の低下が見られた。これは、電流密度の増加によるドループ効果と、マイクロメサの形成時のエッチングのダメージの影響の両方が考えられる。従って、本実施例のマイクロLED素子100における発光効率の向上は、主に光取出し効率の向上(2.0倍=1.9×70%/66%)によっていることが分かった。

[0068]

第1の実施形態の変形例であるマイクロLED素子100 a の構成及び製造方法について、図4を参照して説明する。図4の(a) ~ 図4の(c)は、本変形例の製造方法の各ステップにおけるマイクロLED素子100 a の断面図である。本変形例は、P電極層19 a がマイクロメサ16 a 毎に分割されている点が、第1の実施形態と異なり、その他の点は第1の実施形態と同じである。

【 0 0 6 9 】

マイクロLED素子100 a では、図4の(a)に示すように、図2の(a)に示した 窒化物半導体層14を成長した後、その表面にP電極層19 a を形成する。P電極層19 a は図2の(e)に示した金属多層膜でも良いし、ITO等の透明導電層と金属多層膜の 組合わせでも良い。

[0070]

次いで、図4の(b)に示すように、マイクロメサ16aを形成する。マイクロメサ1 6aの表面に、P電極層19aが載っている以外は、図2の(b)と同じである。続いて 、図4の(c)に示すように、保護膜17aを積層し、CMPによって、表面を平坦化し 、P電極層19aを露出させる。駆動回路基板50上に、図4の(c)の窒化物半導体層 14を貼り付け、マイクロLED素子100a及び、画像表示素子200aを形成する工 程は図3に示された方法と同じである。

【 0 0 7 1 】

このように、マイクロLED素子100aのP電極は、マイクロメサ16a毎に分割されていても、特性としては相違がない。また、工程も図2の工程より簡略化できる。 【0072】

(第2の実施形態)

本実施形態は、第1の実施形態に対して、マイクロメサの形状が異なる点以外は、基本的に変わらない。第1の実施形態では、図1の(c)に示したように、平面視で円形のマ イクロメサを正三角形の頂点の位置に配置したが、マイクロメサの形状は円形に限らず、 20

10

図5に示すように、様々な形状及び配置が可能である。

【0073】

図5の(a)、図5の(c)、及び図5の(e)は四角形をベースにしたマイクロメサ 形状の例である。図5の(b)及び(d)は、それぞれ、図5の(a)及び図5の(c) の1個のマイクロメサを斜め上方から見た鳥瞰図であり、傾斜面16b及び16cをそれ ぞれ示している。図5の(a)ではマイクロメサの中心Pから、周囲を見た時、図5の(b)に示すように、周囲が完全に傾斜面16bによって覆われていない。これに対して、 図5の(c)の場合には、図5の(d)に示すように、四方を傾斜面16cが覆う。従っ て、マイクロメサ構造が無い場合に比べれば、何れの場合も、光取出し効率は向上するが 、図5の(c)の構造の方が光取出し効率の向上効果はより大きい。即ち、傾斜面16b のように、発光層12の全周を覆わない場合にも光取出し効果の改善と言う利点は得られ るが、傾斜面16cのように発光層12は周囲全体を傾斜面で覆われることが、より好ま しい。

(14)

【0074】

図5の(e)のように、配置がずれても、光取出し効率の向上効果は、図5の(c)と 変わらない。

[0075]

更に、マイクロメサ形状は図6の(a)に示すような六角形でも、図6の(b)に示す ような三角形の組合わせでも光取出し効率の向上効果が得られる。また、稠密に配置でき るなら、図6の(c)に示すように、局所的にランダムな形状、配置であっても構わない

【0076】

〔第3の実施形態〕

本実施形態は、マイクロメサの配置パターンと、マイクロLED素子100の大きさの 関係を制限する点以外は、第1の実施形態や第2の実施形態と変わらない。図7に示すよ うに、マイクロLED素子の発光特性を均一化する上で、マイクロメサの配置パターンと 、マイクロLED素子100の大きさは、一定の関係を満たすことが好ましい。 【0077】

マイクロLED素子100は駆動回路基板50に対してアライメントされるが、マイク 30 ロメサが形成された窒化物半導体層14は、駆動回路基板50にアライメントされていな いため、マイクロメサの配置と無関係に、マイクロLED素子100の形状が加工される 。図7の(a)に示すように、マイクロメサパターンに対して、マイクロLED素子10 0の外形を表す矩形を P1、マイクロLED素子100と周囲の画素分離溝15の中心線 を表す矩形をP0とすると、P0とP1はマイクロメサパターンに対して、ランダムに重 ね合わされ、P1の内部に含まれるマイクロメサが、そのマイクロLED素子の発光領域 となる(P0はマイクロLED素子100の配置周期に対応する。)。なお、図7の(a)に強調して示したように、マイクロメサパターンの座標軸とマイクロLED素子100 の座標軸は平行となるとは限らず、角度ずれが生じ得る。これは、例えば駆動回路基板5 0 に窒化物半導体層14を有する成長基板10を貼り合わせる際の、ウエハノッチのアラ 40 イメント精度で決まるが、その大きさは一般に0.5度以下と小さい。従って、マイクロ LED素子100の大きさの範囲では、大きな問題とはならないので、以降は、両者は平 行として図示する。但し、画像表示素子200全体でみると問題となる。

このように本実施形態では、 P 側層の側から平面視した場合、マイクロLED素子10 0 は矩形形状を有し、マイクロメサは、前記矩形の一辺に対して、平行又はほぼ平行な行 列パターンで配置されている。ここで、「ほぼ平行」とは、平行な場合から所定の角度以 内のずれを有する場合を指し、例えば、平行な場合から0.5度以内のずれを有する場合 のことを指す。

【0079】

また、図7の(a)に示すように、本実施形態において、マイクロLED素子100に ⁵⁰

10

は、P側層の側から平面視した場合、平坦面の一部が欠落したマイクロメサが含まれてい る。これは、図7の(b)及び(c)に示す例においても同様である。

図7の(b)に示すように、マイクロLED素子100の外形が、P1と同じ場合でも 、 P 2 と P 3 の位置に配置された場合が在り得る。これらの場合、マイクロLED素子 1 00に含まれる完全なマイクロメサの数は、 P2の場合が9個、 P3の場合が13個と大 きく異なる。このように、アライメントのされ方によっては、平坦面16Tが欠けていな いマイクロメサの数はマイクロLED素子毎にばらつく。ここで、傾斜面16Aにも欠け が無いマイクロメサの光出力が最も高く、欠けが大きくなる程、光出力が落ちるため、平 坦面16Tの欠けの無いマイクロメサの数を、光取出し効率の尺度として用いた。画素分 離 溝 1 5 を 形 成 す る 際 に 、 一 部 の マ イ ク ロ メ サ で は 、 平 坦 部 や 傾 斜 部 が 分 断 さ れ 、 パ タ ー ンに欠けが生じる。画素分離溝15によって、削られる量が多い程、その不完全なマイク ロメサからの発光量は低下する。平坦部が削られれば、電流量が減少し、発光量は低下す るし、傾斜部のみが削られても、取出し効率の低下で、光取出し量は低下する。従って、 完全なマイクロメサ数が多いマイクロLED素子程、発光量が大きくなる。 $\begin{bmatrix} 0 & 0 & 8 & 1 \end{bmatrix}$

このような、平坦面16Tが欠けていないマイクロメサ数のバラツキを抑制する上で、 次の 2 点の対策が必要である。第 1 は比較的近傍のマイクロLED素子間の発光量のバラ ツキを低減すること、第2はマイクロLED素子間の発光量のバラツキ幅を低減すること である。

 $\begin{bmatrix} 0 & 0 & 8 & 2 \end{bmatrix}$

第1の点を改善するためには、マイクロメサの配置が、画像表示素子200内の近接し ているマイクロLED素子間で同じにすれば良い。これはマイクロメサの配置周期に対し て、マイクロLED素子の配置周期が整数倍となっていれば良い。そうすれば、近接した マイクロLED素子同士では、マイクロLED素子内のマイクロメサパターンの配置が同 じにすることができる。図 7 の (a) では、マイクロメサの X 方向の周期を X a、 Y 方向 の

周期を

Yaとすると、

POの

X方向の

長さ

POxは

N×

Xa(Nは

整数)、

Y方向の

長 さP0yはMxYa(Mは整数)であれば良い。

[0083]

30 第2の点に関するバラツキの大きな要因は、駆動回路基板50上のP側電極51に対す る マ イ ク ロ メ サ パ タ ー ン の 相 対 的 な 位 置 と 画 素 分 離 溝 1 5 の 位 置 の バ ラ ツ キ に よ っ て 生 じ る。このバラツキは、駆動回路基板50に窒化物半導体層14を有する成長基板10を貼 り合わせる際のアライメントのバラツキや、画素分離溝15のパターンニングの際のアラ イメントのバラツキによって生じる。このようなバラツキを低減するためには、図7の(b)のP2のように、配置位置によって、内包する完全なマイクロメサの数が大きく異な るようなサイズを避けることが好ましい。図7の(b)のパターンP2の大きさには、次 の特徴がある。即ち、マイクロメサのX方向の行の周期をXb(=Xa/2)と表し、マ イクロメサのY方向の列の周期をYb(=Ya/2)と表した場合、Xb及びYbに対し て、 P 2 の X 方向の長さ P 2 x が、 2 x L x X b (L は 整数) であり、 P 2 の Y 方向の長 さP2yが、2xKxYb(Kは整数)となっている点である。

[0084]

このように2次元アレイをなすマイクロLED素子の配置ピッチは、マイクロメサの配 置パターンの、対応する方向の周期の整数倍となっている。

【0085】

従って、例えば、図7の(c)のP4のように、P4のX方向の長さP4xが(L+1 / 2) x X b (L は 整数)、 Y 方向の長さ P 2 y が (K + 1 / 2) x Y b (K は 整数) と なるようにすれば良い。換言すれば、マイクロLED素子100の外形を表す矩形の一辺 の長さを、マイクロメサの対応する辺方向の周期の整数倍と1/2周期異なるようにすれ ばよい。すなわち、マイクロLED素子100の外形を表す矩形の行方向の長さを、マイ クロメサの行の周期の整数倍と1/2異なるようにし、マイクロLED素子100の外形

を表す矩形の列方向の長さを、マイクロメサの列の周期の整数倍と1/2異なるようにす ればよい。

【0086】

このような配置とした結果、図7の(c)のP4と、同じ大きさで位置を変えたパター ンであるP5では、完全なマイクロメサの数は、15個と14個であり、図7の(b)の ような大きな相違は現れない。

【0087】

なお、図7の(a)のマイクロメサパターンは、同じ周期の2個のパターンがずれて配置されているとも見做せるため、パターンの周期と、パターンに見られる行や列のピッチが異なり、Xb=Xa/2、Yb=Ya/2の関係があった。しかし、図8の(a)のように単純なマイクロメサパターンでは、Xb=Xa、Yb=Yaである。同じ四角形のマイクロメサであっても、図8の(b)のようなパターンでは、Xb=Xa/3、Yb=Ya/3となる。マイクロLED素子の2次元配列方向に対する、マイクロメサパターンの配置周期(Xa、Ya)と、マイクロメサパターンに見られる行や列のピッチ(Xb,Yb)の関係は、マイクロメサパターンによって異なる。

【0088】

本実施形態では、上記第1と第2の点を改善するために、マイクロメサパターンと、画 素分離溝15の幅に一定の制約を設ける。ここで、W×はY軸方向に繋がる画素分離溝1 5の幅であり、WyはX軸方向に繋がる画素分離溝15の幅であるとする。 【0089】

図 7 の(c)の例では、 P 0 x = P 4 x + W x であり、 P 0 x = N x X a、 P 4 x = (L + 1 / 2) x X b であるから、 W x = (2 x N - L - 1 / 2) x X b = (H + 1 / 2) x X b (H は整数)の関係を満たすことが望ましい。同様に、 P 0 y = P 4 y + W y であ り、 P 0 y = M x Y a、 P 4 y = (K + 1 / 2) x Y b であるから、 W y = (2 x M - K - 1 / 2) x X b = (I + 1 / 2) x Y b (I は整数)の関係を満たすことが望ましい。

 $\begin{bmatrix} 0 & 0 & 9 & 0 \end{bmatrix}$

図7の(a)、図7の(b)の例において、Xa=2µm、Ya=2 3=3.464 µmの場合、Wxは1µmの整数倍で有ることを避けることが第1に重要であり、次に1 µmの整数倍から0.5µmだけずれた値とすることが好ましく、具体的には、0.5µ m、1.5µm、2.5µm等が最適値となる。この時、P0xは2µmの整数倍であり 、2µm、4µm、6µm、8µm、10µm、12µm等となる。同様にWyは1.7 32µmの整数倍を避けることが第一に重要であり、1.732µmの整数倍から、0. 866µmずれることが好ましく、具体的には、0.866µm、2.6µm、4.33 µm等が最適値となる。このとき、P0yは3.464µm、6.928µm、10.0 39µm、13.856µm等となる。マイクロLED素子の大きさや画素分離溝の加工 能力を考慮して、こう言った組合わせの中から最適値を選択することができる。実際には 、P0x,P0y、Wx、Wyが先に定まり、それに合わせて、マイクロメサパターンの 形状、配置を設計することとなる。

[0091]

以上のように、マイクロLED素子100を構成する窒化物半導体層14の大きさを、 マイクロメサパターンの行ピッチ(マイクロメサの行の周期)又は列ピッチ(マイクロメ サの行の列の周期)の整数倍とならないようにすることで、マイクロLED素子毎の発光 強度バラツキを低減することができる。

[0092]

換言すれば、マイクロLED素子100の外形がなす矩形の一辺の長さを、マイクロメ サの対応する辺方向の周期の整数倍とは異なるようにすることによって、マイクロLED 素子毎の発光強度バラツキを低減することができる。

【 0 0 9 3 】

特に、マイクロLED素子100を構成する窒化物半導体層14の大きさを、行ピッチ 50

10



や列ピッチの整数倍から1/2だけずらすことで、発光強度のバラツキを最小限に低減で きる。また、マイクロLED素子100の配置周期を、マイクロメサパターンの周期の整 数倍とすることで、近接したマイクロLED素子間の発光強度を均一化することができる

(17)

【0094】

< 第 4 の 実 施 形 態 >

本実施形態は、第1の実施形態に対して、共通接続領域の形成方法が異なる以外は同じ である。画素領域1の精緻なアライメントは必要無い点は第1の実施形態と同じであり、 共通接続領域に関するラフなアライメントは必要となるものの、画像表示素子200dの 製造方法を簡略化できると言う特徴がある。図9~11を用いて説明するが、第1の実施 形態との相違点に関してのみ説明する。

【0095】

図9の(a)は画像表示素子200dの断面模式図である。図9の(b)及び図9の(c)は、画素領域1と共通接続領域2のマイクロメサ構造を説明するための、断面模式図 と平面模式図であり、図9の(b)は図9の(c)のB-B '部分の断面を表す。 【0096】

図9の(a)に示すように、画像表示素子2000dの共通接続領域2が図1の(a)と 異なる。即ち、共通N電極34とN側電極52を接続するプラグ32が削除され、共通N 電極34はN側層11とN電極19Nを介して、N側電極52と接続している。尚、N電 極19Nは元々、マイクロメサ表面全面に形成されたP側電極層19のうち、共通接続領 域2内の物が、画素分離溝15形成に伴い、分割されたものである。図9の(b)及び図 9の(c)に示すように、共通接続領域2の中には、マイクロメサ16が形成されず、N 側層11が露出した、マイクロメサ欠落部16D(以下単に欠落部と呼ぶ)が設けられて いる。この欠落部16Dに於いて、N電極19Nを構成するP側電極層19は、N側層1 1と接続している。欠落部16Dの保護膜17には、N側コンタクトホール18Nが形成 されており、N側コンタクトホール18NはP側コンタクトホール18Pと同時に形成し ても良い。

[0097]

本構造では、N電極19NがN側電極52に対して正しくアライメントされなければな らないが、マイクロLED素子100に比べれば、共通接続領域2は大きな寸法で形成で きるため、アライメントは容易である。例えば、マイクロLED素子1000の配置ピッチ が10µmとすると、マイクロLED素子100を含む画素領域1は1µm以下の精度で 、P側電極51にP電極19Pをアライメントする必要が有る。しかし、欠落部16Dと 画素領域の間が10µmの場合には、N側電極5200幅が20µm以上あることが条件と なるが、最大10µmのアライメントずれが許容できる。本構造であれば、容易に実現可 能なアライメント精度に基づいて、共通接続領域2の詳細配置を設計することができる。 しかも、本構造は次に示すように、より簡略な製造工程によって、生産することができる

[0098]

マイクロメサ構造の製造工程を図10の(a)~(f)に示す。それぞれ図2の(a) 40 ~(f)に対応している。図2との相違点は、図10の(b)に示すように、マイクロメ サ形成時の窒化物半導体層14のエッチング時に、欠落部16Dにはマイクロメサの平坦 部や傾斜部を設けず、N側層11までエッチングしてしまう点である。欠落部16Dには 、一定面積のN側層11の露出領域を設ける点がポイントである。

【0099】

次の相違点は、図10の(c)で形成した保護膜17に、コンタクトホールを開口する 図10の(d)の工程に於いて、画素領域1内のマイクロメサの平坦面16TにP側コン タクトホール18を形成すると共に、欠落部16DにN側コンタクトホール18Nを設け る点である。図10の(d)では、共通接続領域2内のマイクロメサ平坦面16Tにも、 P側コンタクトホール18を設けているが、これは必ずしも必要無い。以降の図の10(10

30

(18)

e)、(f)の工程は図2と同じで良い。

[0100]

次に図11を用いて、画像表示素子2000の製造工程を説明する。図11の(a)~ (d)、(g)、(h)は、それぞれ図3の同記号の工程と対応している。図3の(e) 、(f)に対応する工程は削除され、工程が簡略化されている点が、本構成の大きな利点 である。図11の(a)の駆動回路基板50への窒化物半導体層14の貼り合わせでは、 N側電極52上に、欠落部16Dが配置されるように、駆動回路基板50に対して、成長 基板をアライメントする点が、図3との大きな相違点である。以降の工程は、図3の(e))、(f)に対応する工程が削除された以外は、図3と同じで良い。 【0101】

本構成では、画素領域1においては、第1の実施形態と差が無いため、マイクロLED 素子100の特性は変わらず、マイクロメサ構造により、高い発光効率が実現できる。更 に、画像表示素子200dの製造工程を簡略化することができる。 【0102】

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の 変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて 得られる実施形態についても本発明の技術的範囲に含まれる。さらに、各実施形態にそれ ぞれ開示された技術的手段を組み合わせることにより、新しい技術的特徴を形成すること ができる。

- 【符号の説明】
- **(**0 1 0 3 **)**
 - 1 画素領域
 - 2 共通接続領域
 - 3 ダミー領域
 - 4 外周部
 - 10 成長基板
 - 11 N側層
 - 12 発光層
 - 13 P 側 層

14 窒化物半導体層

1 5 画素分離溝

1 5 B 境界溝

15H 共通電極コンタクトホール
 150 露出帯

16、16a マイクロメサ

16T マイクロメサ平坦部

- 16A マイクロメサ傾斜部
- 16B マイクロメサ底部
- 16D マイクロメサ欠落部

1 7 、 1 7 a 保護膜

- 18 P P側コンタクトホール
- 18 N N 側 コンタクトホール

19、19a P電極層

- 19P P 電極
- 19N N電極
- 19D ダミー電極
- 20 埋込材
- 32 プラグ
- 34 共通N電極
- 50 駆動回路基板

20

5 1 P側電極 5 2 N側電極 5 3 ダミー電極 5 4 外部接続電極 1 0 0 マイクロLED素子 2 0 0、2 0 0 d 画像表示素子



























JP 2019-129226 A 2019.8.1

patsnap

专利名称(译) 微型LED元件,图像显示元件以及图像显示元件的制造方法

公开(公告)号	JP2019129226A	公开(公告)日	2019-08-01			
申请号	JP2018009878	申请日	2018-01-24			
[标]申请(专利权)人(译)	夏普株式会社					
申请(专利权)人(译)	夏普公司					
[标]发明人	井口勝次					
发明人	井口 勝次					
IPC分类号	H01L33/32 H01L33/20 H01L33/48					
CPC分类号	G09F9/33 H01L33/20 H01L33/32 H01L27/156 H01L33/0093 H01L33/38 H01L33/44 H01L33/46 H01L33 /24 H01L33/62					
FI分类号	H01L33/32 H01L33/20 H01L33/48					
F-TERM分类号	5F142/AA04 5F142/AA56 5F142/AA82 5F142/CB12 5F142/CB23 5F142/DB24 5F142/FA32 5F142 /FA46 5F142/FA48 5F142/GA02 5F241/AA03 5F241/AA42 5F241/AA47 5F241/CA04 5F241/CA05 5F241/CA13 5F241/CA22 5F241/CA65 5F241/CA74 5F241/CA75 5F241/CA77 5F241/CA88 5F241 /CA92 5F241/CB11 5F241/CB15 5F241/CB25 5F241/CB36 5F241/FF06					
外部链接	Espacenet					
摘要(译)						

为了提供一种即使在微型LED元件的尺寸最小化的情况下也能够抑制发 光效率的恶化的微型LED元件。解决方案:微型LED元件(100)包括具 有N侧层(11)的氮化物半导体层(14)。),发光层(12)和P侧层 (13),并具有多个微台面16,每个微台面都围绕发光层(12)并具有 倾斜表面16A,其中自身与发光层之间的夹角(θ)在包括45度的预定范 围内以一定角度倾斜,并且平坦部分16T由P侧层的表面构成。

